

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 25 日
Application Date

申請案號：091125197
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 12 月 17 日
Issue Date

發文字號：09111024511
Serial No.

申請日期：

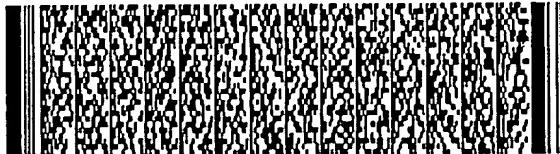
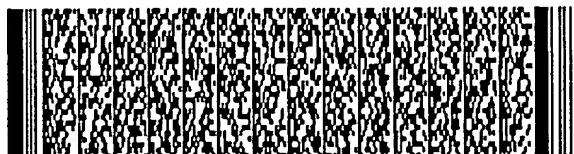
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試元件及測試方法
	英 文	Test key of detecting whether the overlay of active area and memory cell structure of DRAM with vertical transistors is normal and test method of the same.
二、 發明人	姓 名 (中文)	1. 吳鐵將 2. 黃建章 3. 姜伯青 4. 丁裕偉
	姓 名 (英文)	1. Tie-Jiang Wu 2. Chien-Chang Huang 3. Bo-Ching Jiang 4. Yu-Wei Ting
	國 稷	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居 所	1. 宜蘭縣三星鄉萬德村93-7號 2. 台北縣板橋市國泰里14鄰實踐路93巷59號3樓之1 3. 花蓮縣吉安鄉東海五街35號 4. 台北市內湖區文德路66巷69弄14號2樓
三、 申請人	姓 名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓 名 (名稱) (英文)	1. Nanya Technology Corporation.
	國 稷	1. 中華民國
	住、居 所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓 名 (中文)	1. 連日昌
代表人 姓 名 (英文)	1. Jih-Chang Lien	



申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 黃慶玲
	姓 名 (英文)	5. Chin-Ling Huang
	國 籍	5. 中華民國
	住、居所	5. 台北縣樹林市中華路281號6-5樓
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
代表人 姓 名 (英文)		

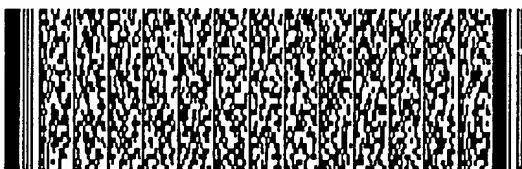
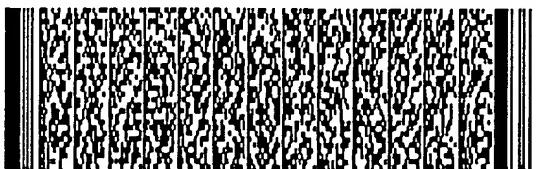


四、中文發明摘要 (發明之名稱：用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試元件及測試方法)

一種用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊是否產生偏移的測試元件，係設置於一晶圓之切割道中。測試元件包括一第一、第二記憶胞結構，對齊地設置於切割道中，第一、第二記憶胞結構各具有一溝槽電容器，以及一電晶體結構；一主動區，設置於第一、第二記憶胞結構之間；以及一第一至第四量測墊，其中第一、第二量測墊係分別設置於第一記憶胞結構之兩端上，而第三、第四量測墊係分別設置於第二記憶胞結構之兩端上。

英文發明摘要 (發明之名稱：Test key of detecting whether the overlay of active area and memory cell structure of DRAM with vertical transistors is normal and test method of the same.)

Test key of detecting whether the overlay of active area and memory cell structure of DRAM with vertical transistors is normal. The test key is deposited in a scribe line area, and has a first memory cell structure and a second memory cell structure deposited in the scribe line area symmetrically, an active area deposited between the two memory cell structures and four pads deposited respectively on two ends of the first memory cell structure and the second memory cell



四、中文發明摘要 (發明之名稱：用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試元件及測試方法)

英文發明摘要 (發明之名稱：Test key of detecting whether the overlay of active area and memory cell structure of DRAM with vertical transistors is normal and test method of the same.)

structure.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明係有關於一種測試元件 (test key) ，特別是有关於一種偵測具有垂直式電晶體 (vertical transistor) 之動態隨機存取記憶體 (DRAM) 的主動區與記憶胞結構之誤對準 (misalignment) 的測試元件。

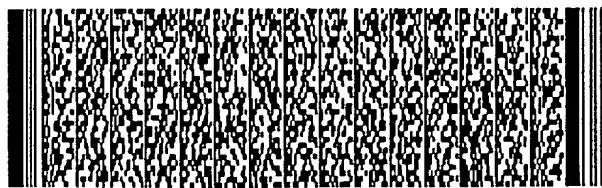
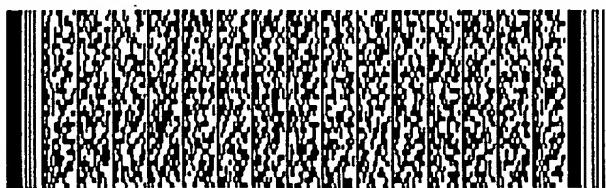
【習知技術】

隨著積體電路被廣泛地運用，為因應不同使用目的，更高效能與更低廉價格之各類半導體元件相繼產出，其中，DRAM 在現今資訊電子業中更有著不可或缺的地位。

現今大多數的DRAM 單元是由一個電晶體與一個電容器所構成。由於目前DRAM 之記憶容量已達到64百萬位甚至256百萬位元以上，在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的DRAM。利用立體化電容器的製程技術，可以大量地減少電容器於半導體基底上所佔佈之面積，因此立體化電容器開始被運用於DRAM 的製程上，例如溝槽型電容器，便被廣泛地運用在記憶容量為64百萬位元以上的DRAM。

相對於傳統水平式電晶體佔佈半導體表面相當的面積，無法滿足目前高度積集化的需求，因此可大幅改善習知的半導體記憶單元缺點且較為節省空間之垂直式電晶體，將成為目前及未來製造半導體記憶單元的主要潮流。

如第1圖所示係為習知具有垂直式電晶體之DRAM 的佈



五、發明說明 (2)

局圖，且第2圖係為第1圖之具有垂直式電晶體之DRAM的視圖。然而，當主動區的光罩與記憶胞結構的光罩未對準時，如此將會使得相鄰的記憶胞產生漏電流，或者是記憶胞無效，因而造成製程良率的下降。

因此，若能控制主動區與記憶胞結構的光罩之對準誤差在可允許的範圍內，則可提高記憶胞的可靠度及製程之良率。

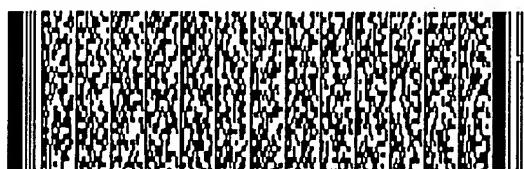
【發明之目的及概要】

有鑑於此，本發明之首要目的，在於提供一種可偵測具有垂直式電晶體之DRAM的主動區與記憶胞結構之重疊是否產生偏移的測試方法。

此外，本發明的另一目的，在於提供一種可偵測具有垂直式電晶體之DRAM的主動區與記憶胞結構之重疊是否產生偏移的測試元件。

根據上述目的，本發明係提供之一種用於偵測具有垂直式電晶體之DRAM的主動區與記憶胞結構之重疊是否產生偏移的測試元件，係設置於一晶圓之切割道中。測試元件包括一第一、第二記憶胞結構，對齊地設置於切割道中；一主動區，設置於第一、第二記憶胞結構之間；以及一第一至第四量測墊，其中第一、第二量測墊係分別設置於第一記憶胞結構之兩端上，而第三、第四量測墊係分別設置於第二記憶胞結構之兩端上。

根據上述目的，本發明更提供一種偵測具有垂直式電



五、發明說明 (3)

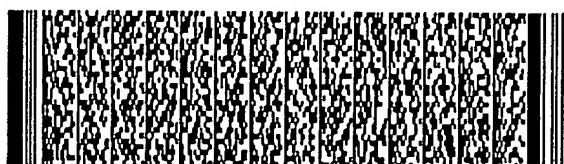
晶體之DRAM的主動區與記憶胞結構之重疊偏移的方法，包括提供一晶圓，晶圓至少具有一切割道和一記憶胞區。接著，於晶圓之切割道形成一測試元件，並同時於晶圓之記憶胞區，形成複數具有垂直式電晶體之記憶胞。然後，量測第一量測墊與第二量測墊間之一第一電阻值，以及量測第三量測墊與第四量測墊間之一第二電阻值。再根據第一與第二電阻值，估算測試元件之主動區與第一、第二記憶胞結構的重疊偏移程度。最後，藉由測試元件之主動區與第一、第二記憶胞結構的重疊偏移程度，估算記憶胞區之記憶胞中之主動區與記憶胞結構的重疊偏移程度。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【發明的詳細說明】

請參照第3圖，用以說明本發明之一實施例。第3圖係為本發明中用以偵測一具有垂直式電晶體之DRAM的量測墊與記憶胞結構之重疊(overlap)是否偏移(misalignment)的測試元件的佈局圖，其中測試元件200係設置於一晶圓之切割道中。

本發明係於晶圓之記憶胞區形成複數記憶胞之同時，於晶圓之切割道區域形成測試元件200，其中測試元件200之佈局如第3圖所示，且於記憶胞區形成之複數記憶胞的結構如第1圖中所示。



五、發明說明 (4)

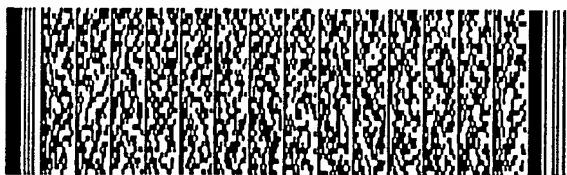
如第1圖所示，深溝槽電容器102以規則之矩陣排列式設於基底100中，每一個深溝槽電容器102的上方均配置有一垂直型電晶體104，此垂直型電晶體104包括閘極104a、閘極絕緣層104b、源極104c和共用汲極104d，其中閘極絕緣層104b係位於閘極104a的較低部份之側壁，而源極104c和共用汲極104d之間之基底100的垂直區域即為通道區。

另外，絕緣層108位於閘極104a和離子摻雜層106之間做電性隔離。

如第2圖中所示，字元線118a、118b、118c和118d於主動區112做為電晶體104的閘極104a。此外，相鄰兩行之字元線118a和118b，或者118c和118d，於主動區112有共用汲極104d，而此主動區112的外側則為隔離溝槽110。再藉由垂直於字元線118a、118b、118c和118d的位元線116a和116b透過接觸窗114與共用汲極104d做電性連接。

本發明，係於在一晶圓之記憶胞區蝕刻出複數深溝槽以形成記憶胞之溝槽電容器102的同時，使用同一光罩，於該晶圓之切割道區中，蝕刻出對齊地排列之一第一、第二深溝槽，以形成記憶胞結構 TC_1 、 TC_2 ，其中第一、第二記憶胞結構 TC_1 、 TC_2 各包括一溝槽電容器，以及一電晶體結構。

接著，於定義記憶胞區之主動區112之同時，於晶圓之切割道區域上，第一、第二記憶胞結構 TC_1 、 TC_2 之間定義出一主動區 A_1 ，且分別與第一、第二記憶胞結構 TC_1 、



五、發明說明 (5)

TC₂ 重疊一既定寬度W。

接著，在形成記憶胞區之複數記憶胞的字元線118a~118d之同時，使用同一光罩，分別於第一記憶胞結構TC₁之兩端上，形成一第一、第二量測墊GC₁、GC₂，以及分別於第二記憶胞結構TC₂之兩端上，形成一第三、第四量測墊GC₃、GC₄。其中第一、第二量測墊GC₁、GC₂係電性耦接至下方之第一記憶胞結構TC₁，第三、第四量測墊GC₃、GC₄係電性耦接至下方之第二記憶胞結構TC₂。

其中第一至第四量測墊GC₁~GC₄係由複晶矽材料所構成，並且皆具有相同之寬度。另外，第一量測墊與第二量測墊相距一既定距離L，且第三量測墊與第二量測墊也相距既定距離L。

本發明提供之偵測位元線接點與主動區之重疊是否產生偏移的方法，包括下列步驟，首先提供一晶圓，該晶圓至少具有一切割道區和一記憶胞區。

接著，於該晶圓之該切割道中形成測試元件200，並同時於該晶圓之該記憶胞區形成複數記憶胞，其中該測試元件之構造如第3圖所示，且該等記憶胞之結構如第2圖中所示，在此不再綴述。

接著，量測測試元件200中第一量測墊GC₁與第二量測墊GC₂間之一第一電阻值R₁，以及第三量測墊GC₃與第四量測墊GC₄間之一第二電阻值R₂。

一般來說，於主動區與第一、第二記憶胞結構TC₁、TC₂之間未產生重疊偏移的情況下，主動區A₁會分別與第



五、發明說明 (6)

一、第二記憶胞結構 TC_1 、 TC_2 重疊既定寬度 W ，若產生一重疊偏移量 ΔW 時，則主動區 A_1 會與第一、第二記憶胞結構 TC_1 、 TC_2 之一者重疊一寬度 $W + \Delta W$ ，而與另一者重疊一寬度 $W - \Delta W$ 。

因此，第一電阻值 R_1 、第二電阻值 R_2 會符合於下列方程式一、方程式二

$$R_1 = R_{TC} * (L / (W + \Delta W)); \quad \text{式一}$$

$$R_2 = R_{TC} * (L / (W - \Delta W)); \quad \text{式二}$$

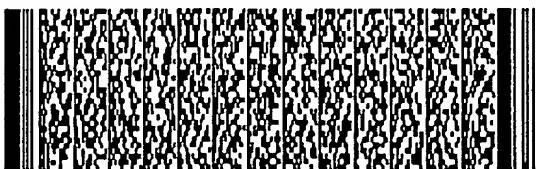
在此， R_{TC} 表示記憶胞結構之片電阻值， W 表示主動區 A_1 分別與第一、第二記憶胞結構 TC_1 、 TC_2 重疊之既定寬度 W ， L 表示第一量測墊 GC_1 與第二量測墊 GC_2 之間，以及第三量測墊 GC_3 與第四量測墊 GC_4 之間之既定距離， W 表示重疊偏移量。

由於是在相同的製程條件、材料下，形成第一、第二記憶胞結構 TC_1 、 TC_2 ，以及第一至第四量測墊 $GC_1 \sim GC_4$ 。因此第一、第二記憶胞結構 TC_1 、 TC_2 之片電阻值會皆為 R_{TC} ，並且第一量測墊 GC_1 與第二量測墊 GC_2 之間，與第三量測墊 GC_3 與第四量測墊 GC_4 之間皆相距既定距離 L 。因此，可以得知方程式三、四

$$R_1 / R_2 = (W - \Delta W) / (W + \Delta W) \quad \text{式三}$$

$$\Delta W = W * (R_2 - R_1) / (R_1 + R_2) \quad \text{式四}$$

故只要測得第一、第二電阻值 R_1 、 R_2 ，即可得知主動區 A_1 與第一、第二記憶胞結構 TC_1 、 TC_2 之重疊偏移量 ΔW 。當第一電阻值 R_1 等於第二電阻值 R_2 時，表示主動區 A_1 與第



五、發明說明 (7)

一、第二記憶胞結構 TC_1 、 TC_2 之重疊並沒有產生偏移。

換句話說，若主動區 A_1 之光罩往第一記憶胞結構 TC_1 的方向偏移 ΔW 距離時，則形成的主動區 A_1 會往第一記憶胞結構 TC_1 的方向偏移了 ΔW 的距離。又由於電阻值係與導體長度成正反比，因此第一電阻值 R_1 會小於第二電阻值 R_2 ，且偏移量 ΔW 可藉由上述式四而求得，反之亦反。

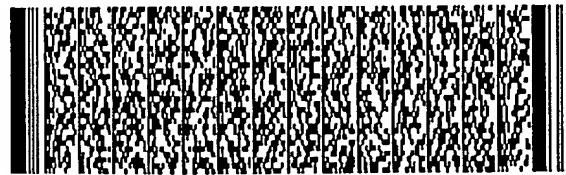
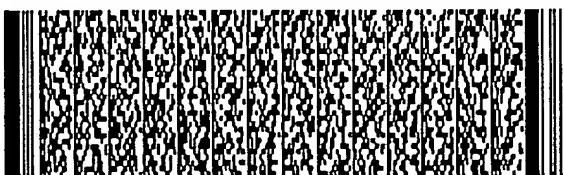
因此，本發明可藉由量測上述測試元件中第一量測墊 GC_1 與第二量測墊 GC_2 間之第一電阻值 R_1 ，以及第三量測墊 GC_3 與第四量測墊 GC_4 間之第二電阻值 R_2 ，根據第一、第二電阻值 R_1 、 R_2 是否相同，來監控製程中主動區與記憶胞結構之重疊是否產生偏移。

然後，若主動區與記憶胞結構產生偏移時，則依據上述式四，求得主動區與記憶胞結構之偏移程度。

最後，藉由測試元件上之主動區與記憶胞結構的重疊偏移程度，估算晶圓之記憶胞區內複數記憶胞中之主動區與記憶胞結構之重疊偏移程度。

由於記憶胞區之記憶胞與切道區之記憶胞結構係使用同一光罩而形成，並且記憶胞區與切割道區之主動區亦使用同一光罩所形成，故當光罩偏移時，無論是記憶胞區之主動區或是切割道上的主動區均會產生一致的偏移，因此，藉由切割道上的測試元件，可以反應出記憶胞區中的主動區與記憶胞結構之間是否產生重疊偏移的狀況。

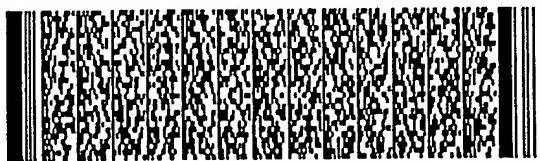
此外，本發明之測試元件與測試方法，將測試元件設置於切割道上，可以同步與記憶胞區進行相同製程，監控



五、發明說明 (8)

主動區與記憶胞結構之重疊是否有產生偏移，且避免佔據記憶胞區的空間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係為習知具有垂直式電晶體之DRAM的剖面圖。

第2圖係為第1圖之具有垂直式電晶體之DRAM的佈局圖。

第3圖為本發明之測試元件的佈局圖。

第4圖為本發明之測試元件的另一佈局圖。

第5圖為第4圖中沿著線段AA之剖面圖。

【符號說明】

100~基底； 102~深溝槽電容器；

104~垂直型電晶體； 104a~閘極；

104b~閘極絕緣層； 104c~源極；

104d~共用汲極； 108~絕緣層；

110~隔離溝槽； 112、A₁~主動區；

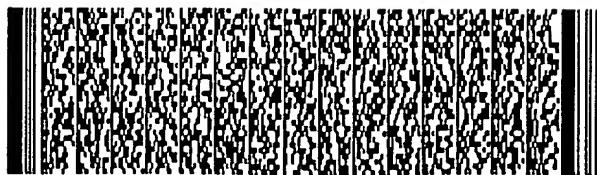
116a、116b~位元線； 114~接觸窗；

200~測試元件；

118a、118b、118c、118d~字元線；

GC₁~GC₄：第一~第四接觸墊；

TC₁~TC₂：第一、第二記憶胞結構。



六、申請專利範圍

1. 一種用於偵測具有垂直式電晶體之動態隨機存取憶體的主動區與記憶胞結構之重疊偏移的測試元件，係設置於一晶圓之切割道中，上述測試元件包括：

一第一、第二記憶胞結構，對齊地設置於上述切割道中，上述第一、第二記憶胞結構各具有一溝槽電容器，以及一電晶體結構；

一主動區，設置於上述第一、第二記憶胞結構之間；以及

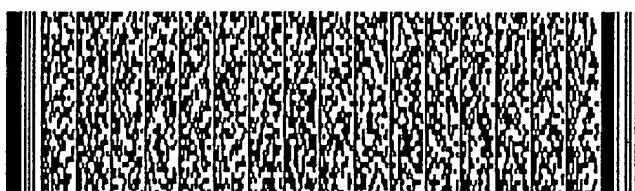
一第一至第四量測墊，其中上述第一、第二量測墊係分別設置於上述第一記憶胞結構之兩端上，而上述第三、第四量測墊係分別設置於上述第二記憶胞結構之兩端上。

2. 如申請專利範圍第1項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試元件，其中上述第一至第四量測墊皆由複晶矽材料所構成。

3. 如申請專利範圍第1項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試元件，其中上述晶圓更包括一元件區，設置有複數具有垂直式電晶體之動態隨機存取記憶胞。

4. 一種偵測用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試方法，包括下列步驟：

提供一晶圓，上述晶圓至少具有一切割道和一記憶胞區；



六、申請專利範圍

於上述晶圓之切割道形成一測試元件，並同時於該圓之該記憶胞區，形成複數具有垂直式電晶體之記憶胞，其中上述測試元件包括：

一第一、第二記憶胞結構，對齊地設置於上述切割道中；

一主動區，設置於上述第一、第二記憶胞結構之間；以及

一第一至第四量測墊，其中上述第一、第二量測墊係分別設置於上述第一記憶胞結構之兩端上，而上述第三、第四量測墊係分別設置於上述第二記憶胞結構之兩端上；

量測上述第一量測墊與上述第二量測墊間之一第一電阻值；

量測上述第三量測墊與上述第四量測墊間之一第二電阻值；

根據上述第一與第二電阻值，估算上述測試元件之主動區與上述二記憶胞結構的重疊偏移程度；以及

藉由上述測試元件之主動區與上述二記憶胞結構的重疊偏移程度，估算該記憶胞區之該等記憶胞中之主動區與溝槽電容器的重疊偏移程度。

5. 如申請專利範圍第4項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試方法，其中上述主動區係分別與上述第一、第二記憶胞結構重疊一既定寬度。

6. 如申請專利範圍第5項所述之用於偵測具有垂直式



六、申請專利範圍

電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試方法，更包括若產生偏移時，根據上述第一、第二電阻值、上述既定寬度，計算出上述測試元件之主動區與上述第一、第二記憶胞結構之一重疊偏移量(ΔW)。

7. 如申請專利範圍第6項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的主動區與記憶胞結構之重疊偏移的測試方法，其中上述重疊偏移量係依照下列數學式而求得：

$$\Delta W = W * (R_1 - R_2) / (R_1 + R_2) ;$$

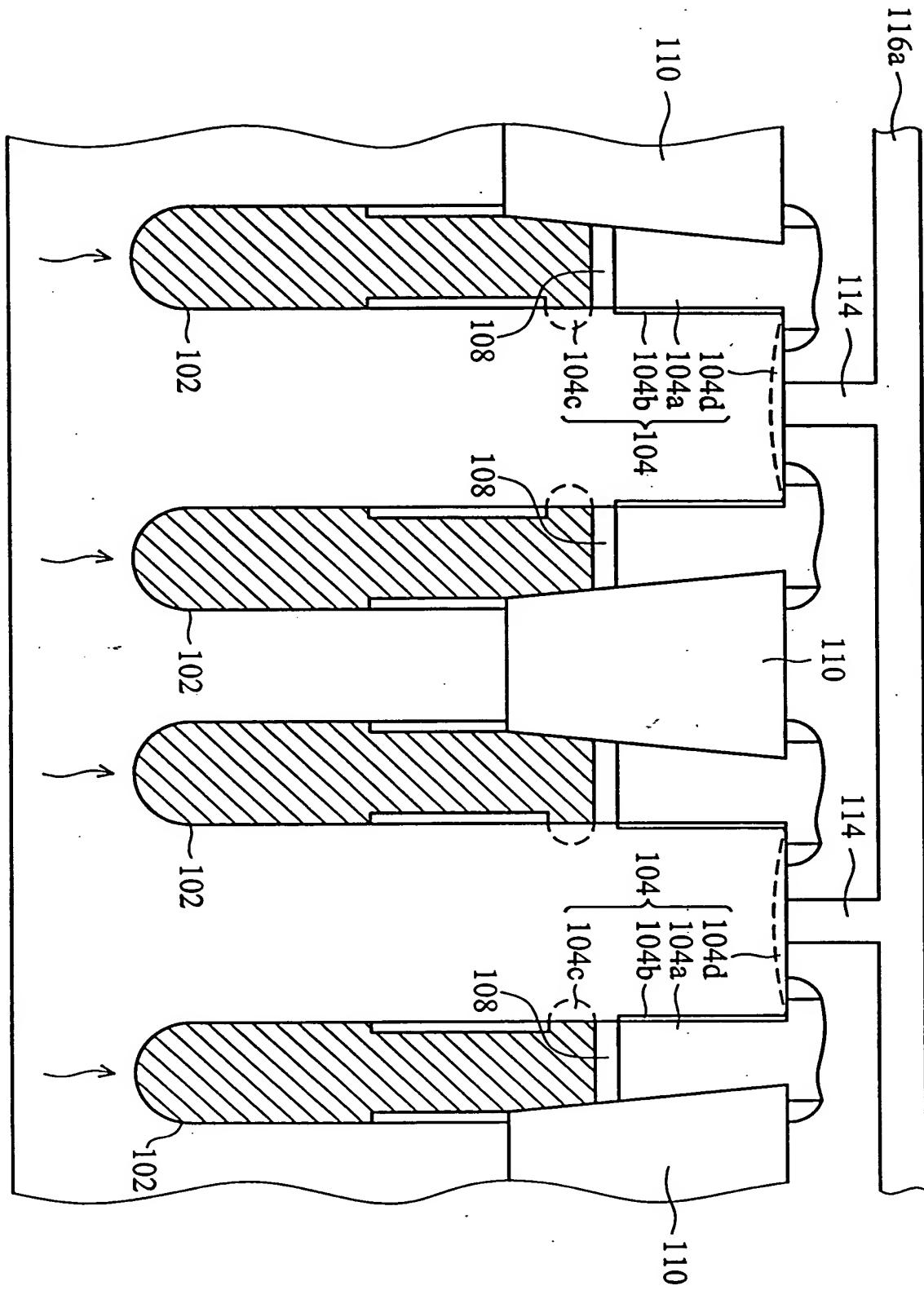
其中 R_1 表示上述第一電阻值；

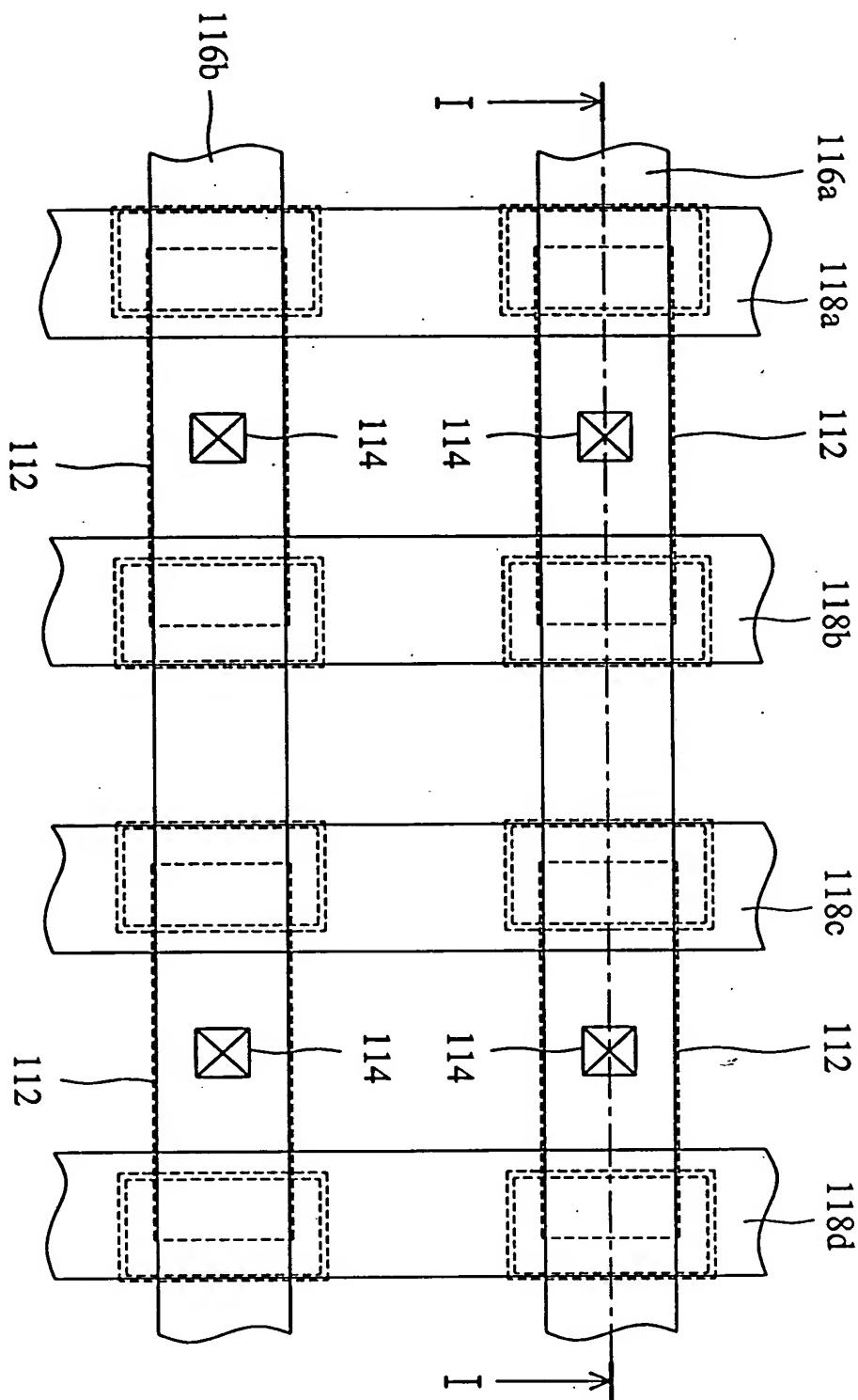
R_2 表示上述第二電阻值；以及

W 表示上述主動區分別與上述第一、第二記憶胞結構重疊之上述既定寬度。



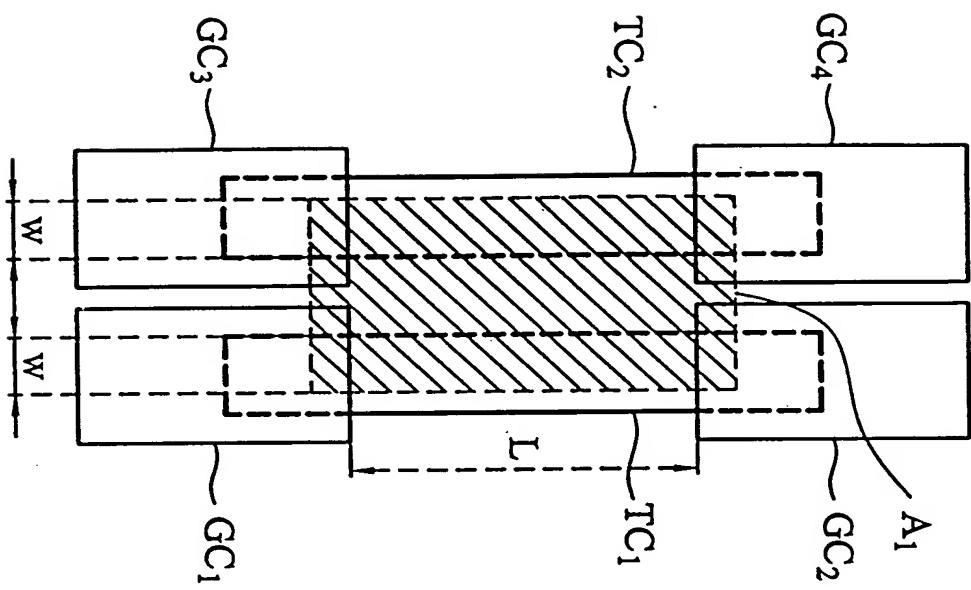
第 1 圖





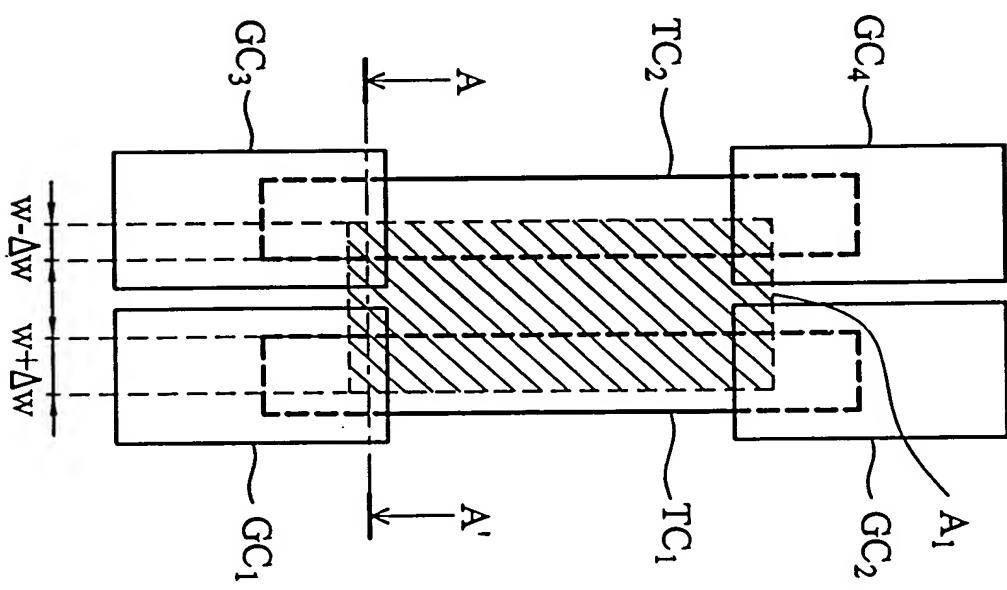
第 2 圖

200

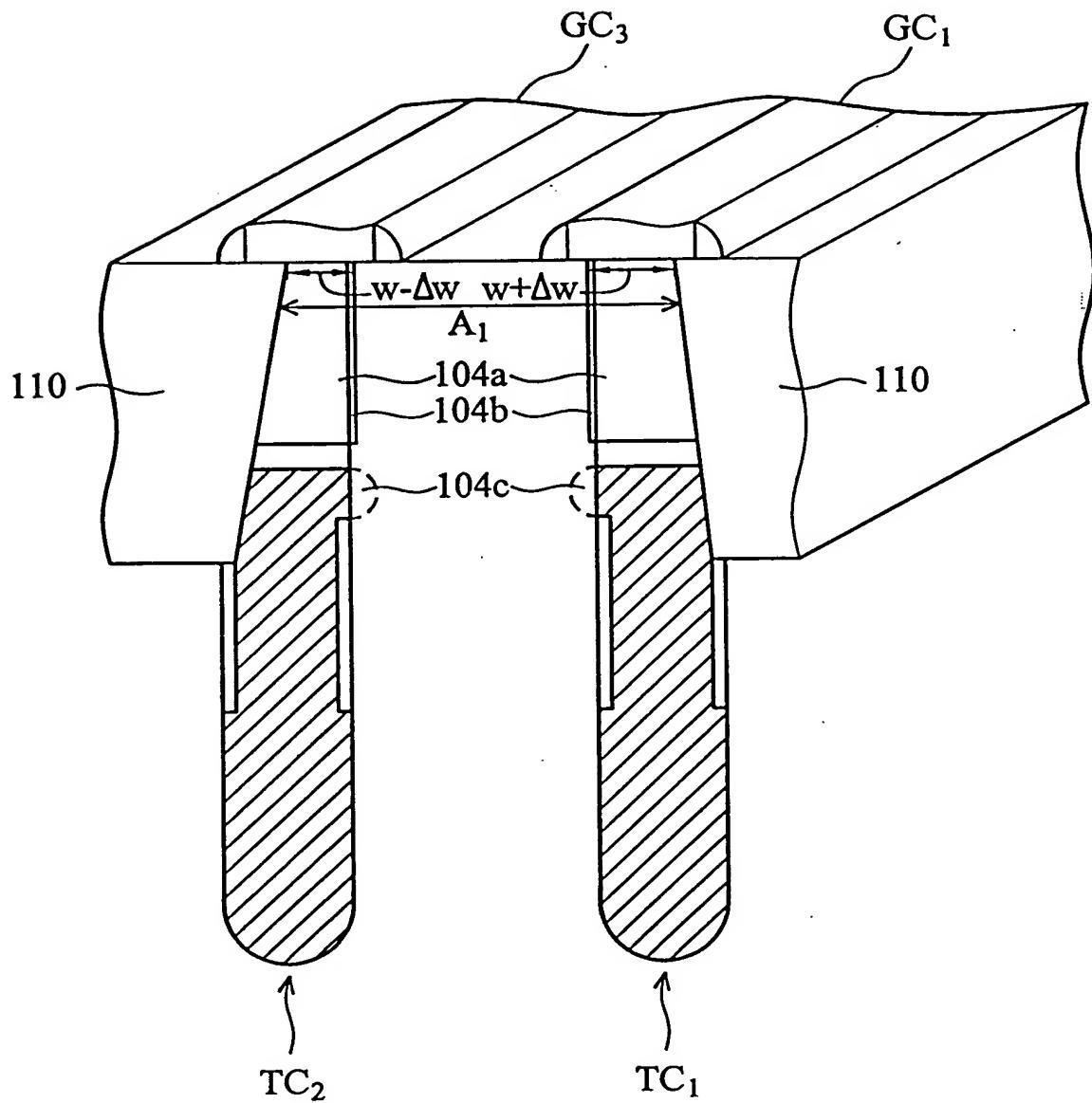


第3圖

200

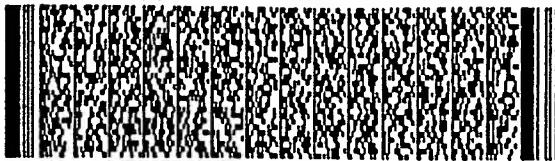


第4圖

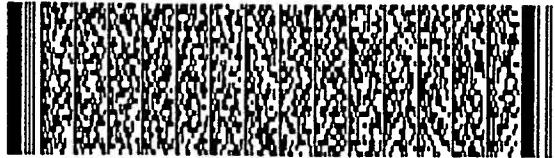


第 5 圖

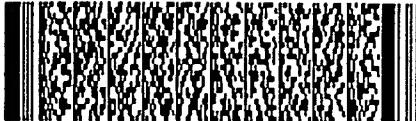
第 1/17 頁



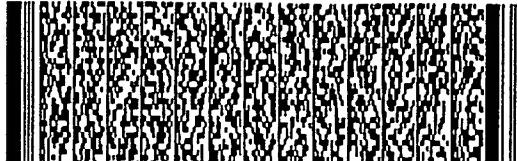
第 1/17 頁



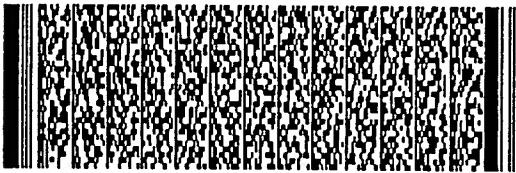
第 2/17 頁



第 3/17 頁



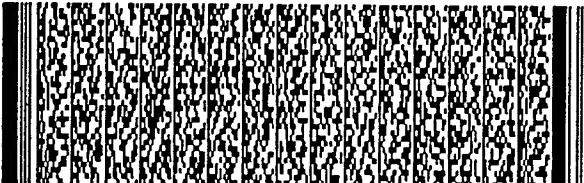
第 3/17 頁



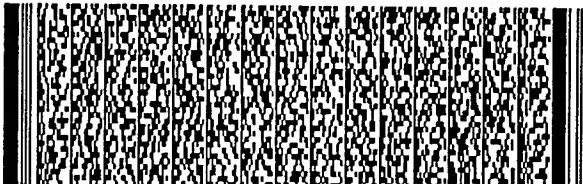
第 4/17 頁



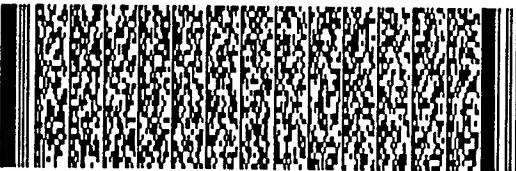
第 6/17 頁



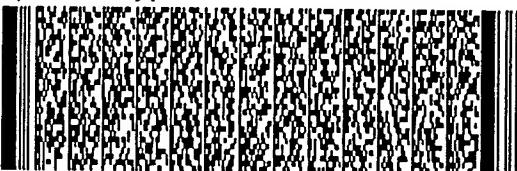
第 6/17 頁



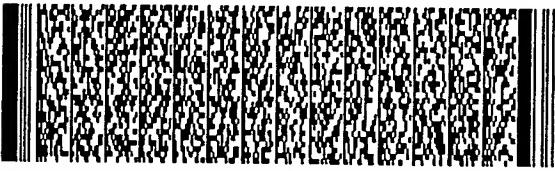
第 7/17 頁



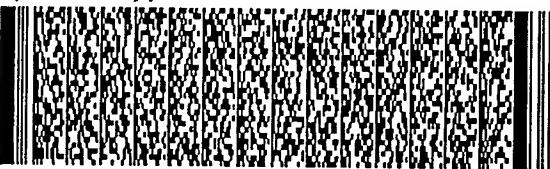
第 7/17 頁



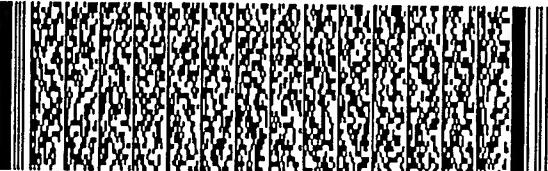
第 8/17 頁



第 8/17 頁



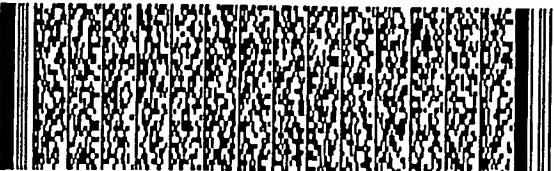
第 9/17 頁



第 9/17 頁



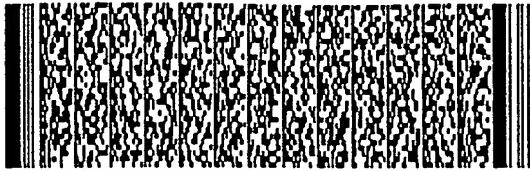
第 10/17 頁



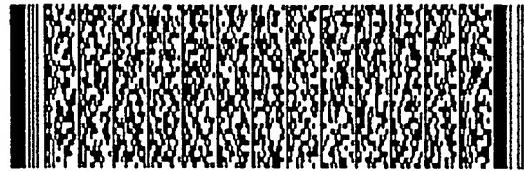
第 10/17 頁



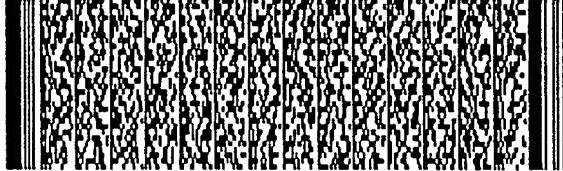
第 11/17 頁



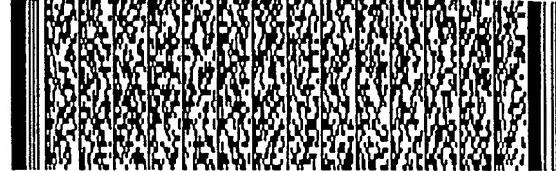
第 11/17 頁



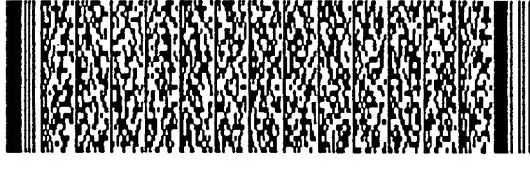
第 12/17 頁



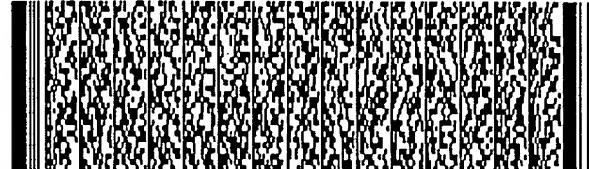
第 12/17 頁



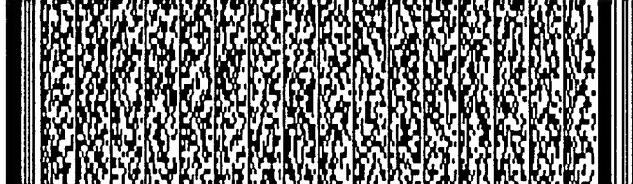
第 13/17 頁



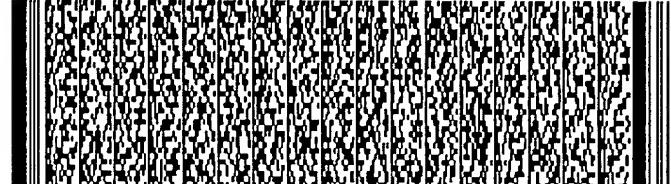
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

